



PATENT
Docket No. JCLA10931
page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : YUN-SHENG CHEN et al.

Application No. : 10/612,607

Filed : July 01,2003

For : FABRICATING METHOD OF LOW
TEMPERATURE POLY-SILICON FILM AND
LOW TEMPERATURE POLY-SILICON THIN
FILM TRANSISTOR

Examiner :

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

October 8, 2003

(Date)

Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92108768** filed on **April 16, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10931).

Date: 10/8/2003

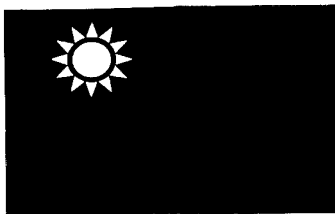
By:
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/612,609

Self 10921



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 16 日
Application Date

申請案號：092108768
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 7 月 18 日
Issue Date

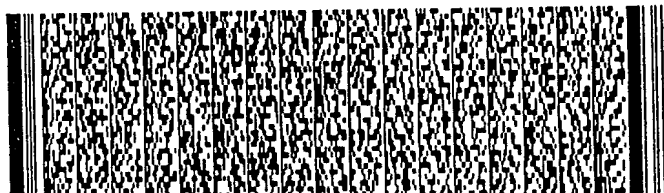
發文字號：09220726260
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|----------------------|---|
| 一、 發明名稱 | 中文 | 低溫多晶矽薄膜的製造方法及低溫多晶矽薄膜電晶體 |
| | 英文 | FABRICATING METHOD OF LOW TEMPERATURE POLY-SILICON FILM AND LOW TEMPERATURE POLY-SILICON THIN FILM TRANSISTOR |
| 二、 發明人 (共1人) | 姓名 (中文) | 1. 陳韻升 |
| | 姓名 (英文) | 1. Yun-Sheng Chen |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (中文) | 1. 高雄市三民區陽明路301巷11弄1號 |
| | 住居所 (英文) | 1. No. 1, Alley 11, Lane 301, Yangming Rd., Sanmin Chiu, Kaohsiung, Taiwan 807, R.O.C. |
| 三、 申請人 (共1人) | 名稱或姓名 (中文) | 1. 友達光電股份有限公司 |
| | 名稱或姓名 (英文) | 1. Au Optonics Corporation |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中文) | 1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 李焜耀 |
| | 代表人 (英文) | 1. Kun-Yao Lee |



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜的製造方法及低溫多晶矽薄膜電晶體)

一種低溫多晶矽薄膜的製造方法，其方法係首先在基板上形成一層非晶矽層，接著，對非晶矽層進行回火製程，使得非晶矽層轉變成多晶矽層(多晶矽薄膜)，其中在回火的過程中，在多晶矽層之表面會形成數個突起物。繼之，對多晶矽層進行表面處理步驟，之後再對多晶矽層進行另一次的回火製程。利用本發明之方法所形成之多晶矽層其表面之突起物之尺寸明顯變小，所以可以解決習知技術中突起物過大且大小不一致的問題。

伍、(一)、本案代表圖為：第____2D____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基板

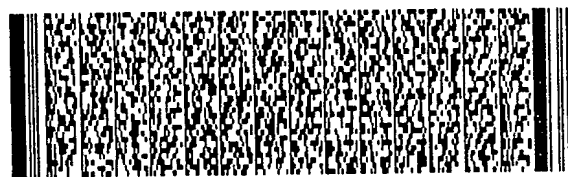
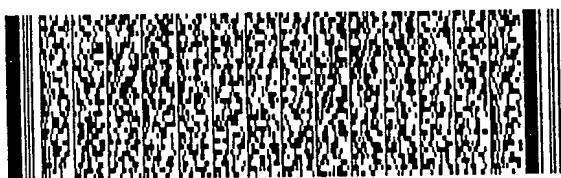
202：緩衝層

204：多晶矽層

206a：突起物

陸、英文發明摘要 (發明名稱：FABRICATING METHOD OF LOW TEMPERATURE POLY-SILICON FILM AND LOW TEMPERATURE POLY-SILICON THIN FILM TRANSISTOR)

A fabricating method of low temperature poly-silicon film is described. An amorphous silicon layer is formed on a substrate, and then a laser anneal step is performed on the amorphous silicon layer for forming a poly-silicon layer from the amorphous silicon layer. Several mounds are formed on the surface of the polysilicon layewr. A surface treatment step is performed,



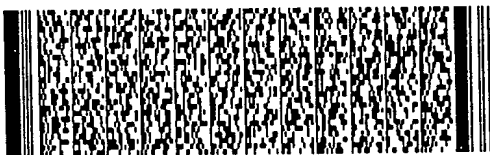
四、中文發明摘要 (發明名稱：低溫多晶矽薄膜的製造方法及低溫多晶矽薄膜電晶體)

210 : 高度

212 : 寬度

陸、英文發明摘要 (發明名稱：FABRICATING METHOD OF LOW TEMPERATURE POLY-SILICON FILM AND LOW TEMPERATURE POLY-SILICON THIN FILM TRANSISTOR)

and then another laser anneal step is conducted on the poly-silicon layer. Since these mounds on the surface of the poly-silicon layer can be reduced, the issue that the mounds are too big and have different sizes can be resolved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種薄膜的製造方法及開關元件，且特別是有關於一種低溫多晶矽薄膜的製造方法及低溫多晶矽薄膜電晶體。

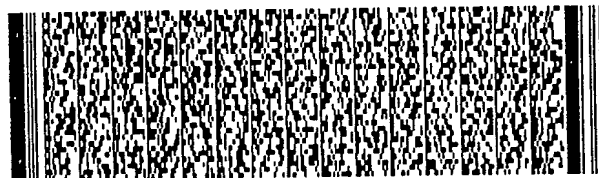
先前技術

在一般元件中，都需配置開關以驅動元件的運作，就顯示元件來說，這些開關的配置可分為主動矩陣式與被動矩陣式兩大類型，由於主動矩陣式之配置方式具有可連續發光以及低電壓驅動等優點，所以近年來此種配置方式大幅地被應用於顯示元件中。在主動矩陣式之顯示元件中，其開關可以是薄膜電晶體(thin film transistor)或薄膜二極體等，以薄膜電晶體來說，又可依通道區的材質分為非晶矽(amorphous silicon，簡稱a-Si)薄膜電晶體以及多晶矽(poly-silicon)薄膜電晶體，由於多晶矽薄膜電晶體相較於非晶矽薄膜電晶體其消耗功率小且電子遷移率大，因此逐漸受到市場的重視。

早期的多晶矽薄膜電晶體的製程溫度高達攝氏1000度，因此基板材質的選擇受到大幅的限制，不過，近來由於雷射的發展，製程溫度可降至攝氏600度以下，而利用此種製程方式所得之多晶矽薄膜電晶體又被稱為低溫多晶矽(low temperature poly-silicon，簡稱為LTPS)薄膜電晶體。

第1圖是習知的低溫多晶矽薄膜之剖面示意圖。

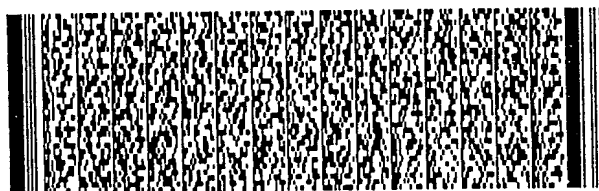
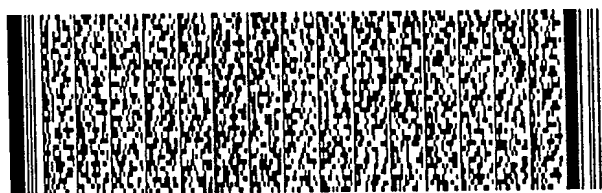
請參照第1圖，在低溫多晶矽薄膜電晶體的製程中，



五、發明說明 (2)

其中一個步驟是在基板100上形成一層多晶矽層102(多晶矽薄膜)，後續製程會在此多晶矽層102中形成源極/汲極區(未繪示)與通道區(未繪示)。其中，多晶矽層102的製造方法是藉由雷射結晶化(laser crystallization)或準分子雷射回火(excimer laser annealing，簡稱ELA)等回火製程將原本的非晶矽層轉變成多晶矽層。然而，在回火步驟完成後，多晶矽層102之表面會形成數個突起物104(如第1圖所示)，這些突起物104形成的原因是由於在回火製程中，非晶矽層藉由再結晶的方式重型排列成為多晶矽層。在再結晶時，部分的非晶矽會先作為再結晶的晶種，之後進行長晶成為較大的晶體，這些大晶體不斷地成長，進而相互結合成為一個更大的晶體，但是在結合的過程中，由於這些晶體彼此應力相互作用的緣故，會使得部分的晶體被推擠到多晶矽層102之表面上而形成突起物104，而這些突起物104的高寬比(高度106/寬度108)約為0.45左右。

這些位於表面上的突起物大小會影響低溫多晶矽薄膜電晶體的電流特性，特別是當這些突起物大到一定程度時，薄膜電晶體上的電流會產生變動，所以在使用這些薄膜電晶體作為顯示元件的開關時，會影響顯示元件上的發光特性。另外，若這些突起物的大小相差甚大時，在顯示器中的每一個薄膜電晶體其電流特性並不相似，因此會影響顯示面板之顯示均勻性。所以，在多晶矽層表面之突起物是低溫多晶矽薄膜製程所關心的問題。



五、發明說明 (3)

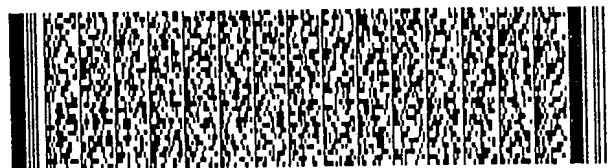
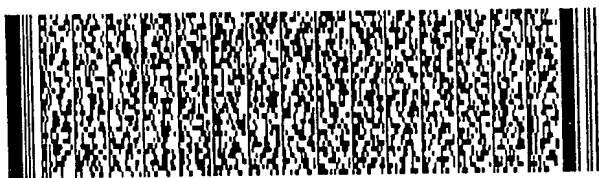
發明內容

有鑑於此，本發明的目的就是提供一種低溫多晶矽薄膜的製造方法，以解決習知技術所製得的多晶矽層表面之突起物的尺寸過大而造成種種缺點。

本發明的再一目的是提供一種低溫多晶矽薄膜電晶體，以解決習知低溫多晶矽薄膜電晶體因多晶矽層表面存在過大的突起物，而造成元件電流特性不一致等問題。

本發明提出一種低溫多晶矽薄膜的製造方法，此方法係在首先基板上形成一層非晶矽層，接著，對非晶矽層進行第一次的回火製程，使得非晶矽層轉變成多晶矽層，此回火製程例如是雷射回火。其中，在回火製程中，多晶矽層之表面會形成有數個突起物，而且，此多晶矽層（包含突起物）之表面還形成有一層氧化層。繼之，將基板浸入濃度1%~15%氫氟酸進行1~5分鐘的表面蝕刻處理步驟以移除氧化層。之後，對多晶矽層進行第二次的回火製程，此回火製程比如是雷射回火，經過二次回火製程的多晶矽層，其表面之突起物的高寬比會低於0.2。當然，在上述的製造方法中，在形成非晶矽層之前，可以先在基板上先形成一層緩衝層，再於緩衝層上形成非晶矽層。

本發明提出一種低溫多晶矽薄膜電晶體，此薄膜電晶體包括一多晶矽層、一閘絕緣層、一閘極、一介電層、一源極金屬層以及一汲極金屬層。其中，多晶矽層係配置在一基板上，且此多晶矽層表面具有數個突起物，這些突起物的高寬比係低於0.2。此外，在多晶矽層中還具有源極



五、發明說明 (4)

區/汲極區以及位於源極區/汲極區之間的通道區。另外閘絕緣層配置在基板上並覆蓋多晶矽層，而閘極配置在對應於通道區上方之閘絕緣層上。此外，介電層配置在閘絕緣層上並覆蓋閘極與閘絕緣層。另外，源極金屬層與汲極金屬層分別位於介電層之表面以及介電層與閘絕緣層中，其中源極金屬層係與源極區電性連接，而汲極金屬層係與汲極區電性連接。

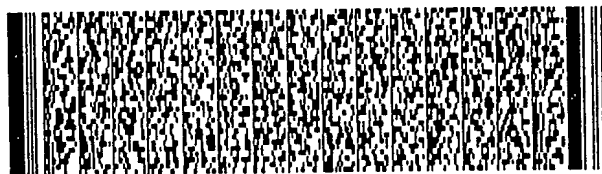
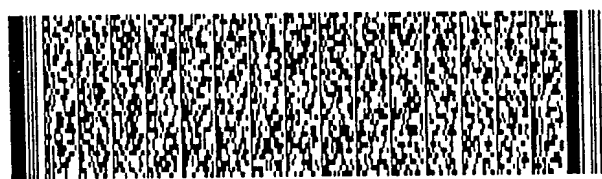
因此，上述之低溫多晶矽薄膜的製造方法及低溫多晶矽薄膜電晶體，可以解決習知低溫多晶矽層之表面會產生大的突起物之問題，因此，本發明可以改善薄膜電晶體之電流均勻性，進而改善顯示面板之顯示均勻性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2A圖至第2D圖所示，其繪示依照本發明一較佳實施例的一種低溫多晶矽薄膜之製程流程剖面示意圖。第3圖所示，其繪示依照本發明一較佳實施例的一種低溫多晶矽薄膜電晶體之剖面示意圖。

請先參照第2A圖，低溫多晶矽薄膜電晶體的製造方法係首先提供一基板200，其中此基板200例如是玻璃基板。之後，在基板200上形成一層非晶矽層203，並且對非晶矽層203進行第一次的回火製程，此回火製程例如是雷射回火。在回火製程中，非晶矽層203會藉由再結晶的方式重



五、發明說明 (5)

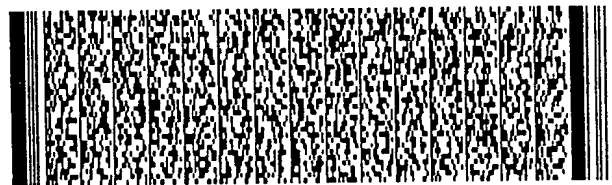
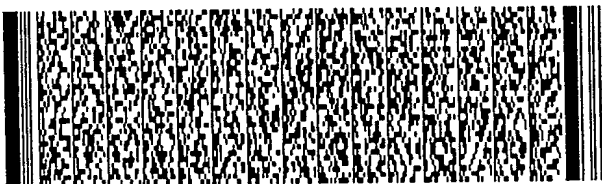
新排列而成為多晶矽層204，且在多晶矽層204的表面會形成有數個突起物206，如第2B圖所示。

值得一提的是，這些突起物206形成的原因是由於在進行再結晶時，部分的非晶矽會先作為再結晶的晶種，之後進行長晶成為較大的晶體，這些大晶體不斷地成長進而相互結合，形成一個更大的晶體，但是在結合的過程中，由於這些晶體彼此應力相互作用，會使得部分的晶體被推擠到多晶矽層204之表面上而形成突起物206。

另外，多晶矽層204(包含突起物206)之表面會與大氣中的水氣以及氧氣接觸，所以在多晶矽層204的表面上還形成有一層氧化層208。

繼之，請參照第2C圖，將形成有多晶矽層204的基板200進行表面處理步驟，此步驟例如是將基板200浸入濃度1%~15%氫氟酸進行1~5分鐘的表面蝕刻處理步驟以移除氧化層208，其中以6%氫氟酸進行5分鐘的表面蝕刻處理步驟所得之效果較佳。之後，再次對多晶矽層204進行回火製程，此回火製程例如是雷射回火。在此回火製程中，由於多晶矽層204之表面的氧化層208已經藉由蝕刻方式去除，因此回火製程中所提供的熱能可更有效率地傳達至多晶矽層204中，使得多晶矽層204呈現熔融狀態，藉以縮小存在於表面的突起物206的體積，而這些突起物206a的高寬比(高度210/寬度212)會低於0.2(如第2D圖所示)。

在上述的製程中，在形成非晶矽層203之前，先形成緩衝層202於基板200上，再於緩衝層202上形成非晶矽層



五、發明說明 (6)

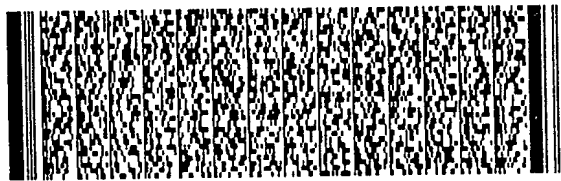
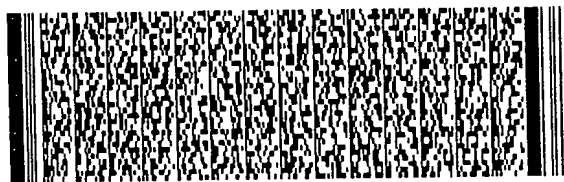
203。

利用上述方法來形成低溫多晶矽薄膜，可以使多晶矽層表面的突起物尺寸明顯變小。

在基板200上形成多晶矽層204之後，接著繼續後續製程，以形成一薄膜電晶體。請參照第3圖，在多晶矽層204以及基板200上方形成閘絕緣層214，此閘絕緣層214之材質例如是氧化矽或是氮化矽。繼之，在閘絕緣層214上方形成閘極216。之後，對多晶矽層204進行摻雜步驟以形成源極區204a、汲極區204b以及位於源極區204a與汲極區204b之間的通道區204c，其中摻雜方式例如是離子植入法。接著，形成一層介電層218於閘極216以及閘絕緣層214上，並圖案化介電層218與閘絕緣層214以形成開口(未繪示)，其中開口會暴露出源極區204a與汲極區204b。繼之，形成源極金屬層220與汲極金屬層222於介電層218之表面以及暴露出源/汲極區204a/204b的開口中，其中源極金屬層220係與源極區204a電性連接，而汲極金屬層222係與汲極區204b電性連接。

值得一提的是，上述之摻雜步驟若所形成的源/汲極區(源/汲極摻雜區)屬於N型之摻雜區，則包括在通道區與源/汲極區之間形成一淺摻雜汲極區(lightly doped drain，簡稱LDD)。

本發明之低溫多晶矽薄膜電晶體結構係包括一多晶矽層204、一閘絕緣層214、一閘極216、一介電層218、一源極金屬層220以及一汲極金屬層222。



五、發明說明 (7)

其中，多晶矽層204係配置在基板200上，且此多晶矽層204中係包含有源極區204a、汲極區204b，以及位於源極區204a與汲極區204b之間的通道區204c。另外，多晶矽層204表面更包括有數個突起物(未繪示)，這些突起物其高寬比比習知技術的高寬比係低於0.2。

此外，閘絕緣層214配置在基板200上並覆蓋多晶矽層204，而閘極216配置在對應於通道區204c上方之閘絕緣層214上。此外，介電層218係配置在閘絕緣層214上並覆蓋閘極216與閘絕緣層214。

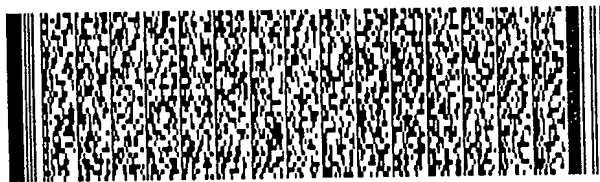
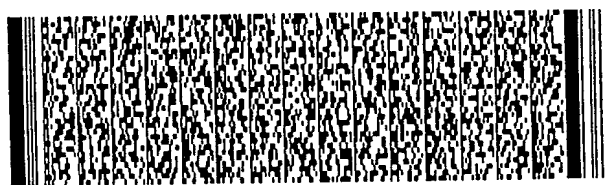
另外，源極金屬層220與源極金屬層222位於介電層之表面218以及介電層218與閘絕緣層214中，且分別與源極區204a以及汲極區204b電性連接。除此之外，在基板200以及多晶矽層204之更包括有一緩衝層202。

因此，綜合上述薄膜電晶體的製造方法以及其結構，本發明具有下述的優點：

藉由表面處理步驟可以縮小多晶矽層表面之突起物的大小，使這些突起物的高寬比都小於0.2。

此外，藉由表面步驟處理使得多晶矽層表面之突起物其高寬比都小於0.2，所以可以使元件電流特性較為一致。因此，若使用這些低溫多晶矽薄膜電晶體作為顯示元件的開關時，可以使顯示面板之顯示均勻度較佳。

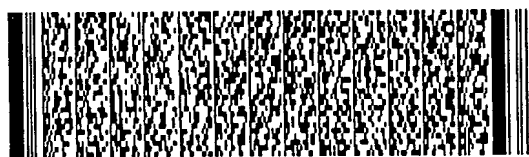
除此之外，本發明並不限用於有機發光二極體(organic lightly emitting diode, OLED)顯示元件或是液晶顯示元件(liquid crystal display, LCD)，任何採



五、發明說明 (8)

用低溫多晶矽薄膜電晶體作為開關的元件，都適用於本發明。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

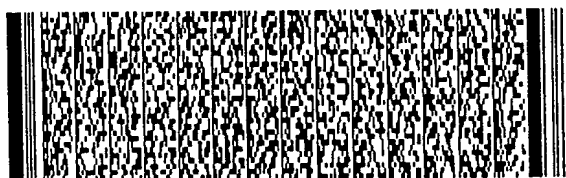
第1圖是習知的低溫多晶矽薄膜之剖面示意圖；

第2A圖至第2D圖是依照本發明之一較佳實施例的一種低溫多晶矽薄膜之製程流程剖面示意圖；

第3圖是依照本發明之一較佳實施例的一種低溫多晶矽薄膜電晶體之剖面示意圖。

圖式標示說明

- 100、200：基板
- 102、204：多晶矽層
- 104、206、206a：突起物
- 106、210：高度
- 108、212：寬度
- 202：緩衝層
- 203：非晶矽層
- 204a：源極區
- 204b：汲極區
- 204c：通道區
- 208：氧化層
- 214：閘絕緣層
- 216：閘極
- 218：介電層
- 220：源極金屬層
- 222：汲極金屬層



六、申請專利範圍

1. 一種低溫多晶矽薄膜的製造方法，包括：

在一基板上形成一非晶矽層；

對該非晶矽層進行一第一回火製程，以使該非晶矽層轉變成一多晶矽層，其中該多晶矽層之表面係形成有複數個突起物，且該多晶矽層之表面係形成有一氧化層；

對該多晶矽層進行一表面處理步驟，以移除該氧化層；以及

對該多晶矽層進行一第二回火製程。

2. 如申請專利範圍第1項所述之低溫多晶矽薄膜的製造方法，其中該表面處理步驟係為一蝕刻處理步驟。

3. 如申請專利範圍第2項所述之低溫多晶矽薄膜的製造方法，其中該蝕刻處理步驟係利用一氫氟酸溶液來進行。

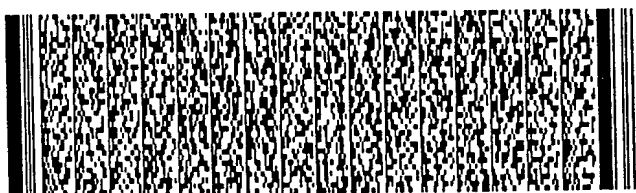
4. 如申請專利範圍第3項所述之低溫多晶矽薄膜的製造方法，其中該氫氟酸溶液之濃度係介於1%至15%之間，且該蝕刻處理步驟之時間係介於1分鐘至15分鐘之間。

5. 如申請專利範圍第1項所述之低溫多晶矽薄膜的製造方法，其中在進行該第二回火製程之後，該多晶矽層表面之該些突起物的高寬比係低於0.2。

6. 如申請專利範圍第1項所述之低溫多晶矽薄膜的製造方法，其中該第一回火製程係為一雷射回火製程。

7. 如申請專利範圍第1項所述之低溫多晶矽薄膜的製造方法，其中該第二回火製程係為一雷射回火製程。

8. 如申請專利範圍第1項所述之低溫多晶矽薄膜的製



六、申請專利範圍

造方法，其中在該基板上形成該非晶矽層之前，更包括在該基板上形成一緩衝層。

9. 一種低溫多晶矽薄膜電晶體，包括：

一多晶矽層，配置在一基板上，其中該多晶矽層表面之突起物的高寬比係低於0.2，且該多晶矽層中具有一源極區/汲極區以及位於該源極區/汲極區之間之一通道區；

一閘絕緣層，配置在該基板上，覆蓋該多晶矽層；

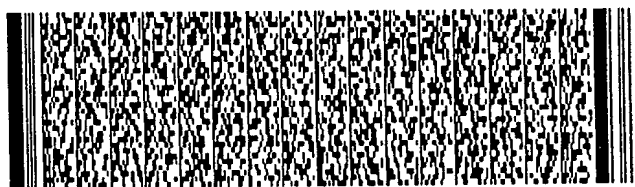
一閘極，配置在對應於該通道區上方之該閘絕緣層上；

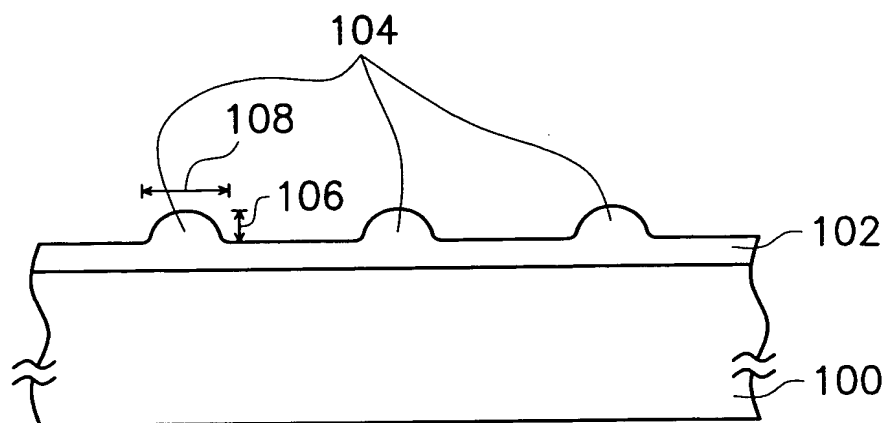
一介電層，配置在該閘絕緣層上，並覆蓋該閘極；

一源極金屬層，位於該介電層之表面以及該介電層以及該閘絕緣層中，其中該源極金屬層係與該源極區電性連接；以及

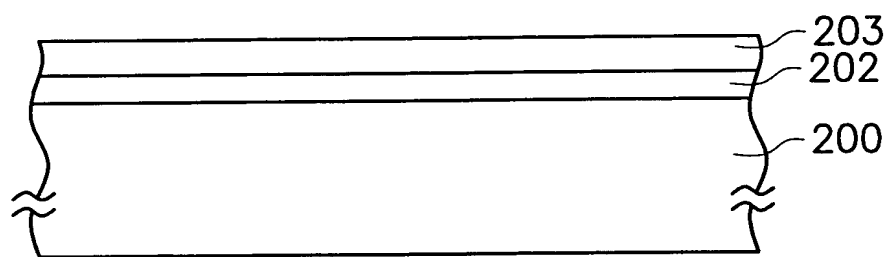
一汲極金屬層，位於該介電層之表面以及該介電層以及該閘絕緣層中，其中該汲極金屬層係與該汲極區電性連接。

10. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體，其中在該基板以及該非晶矽層之間更包括配置有一緩衝層。

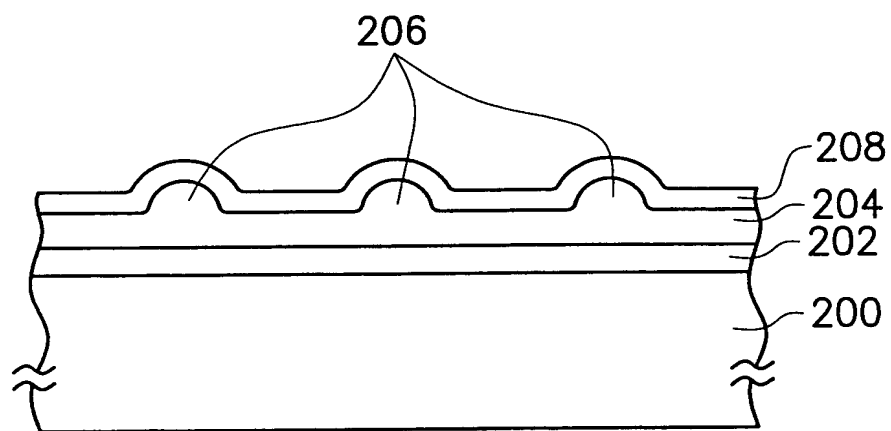




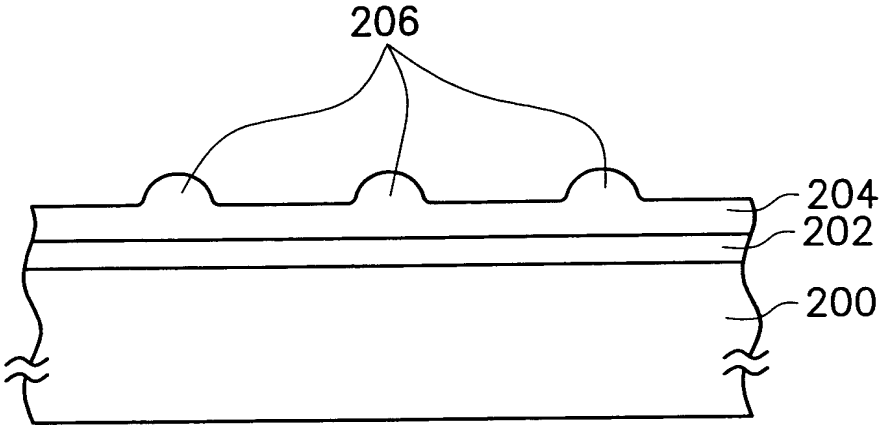
第 1 圖



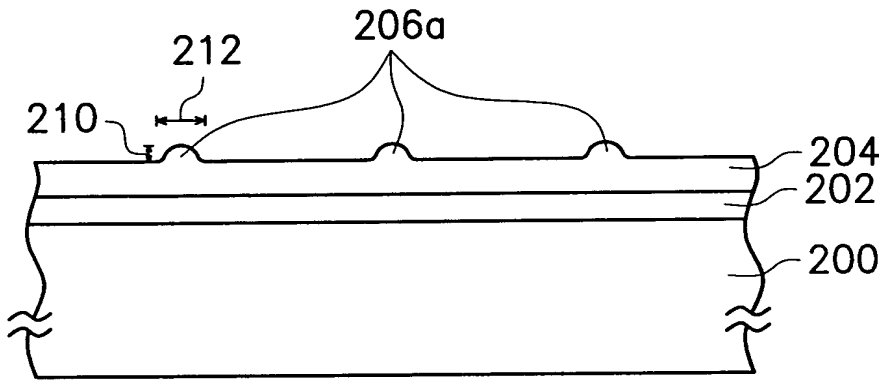
第 2A 圖



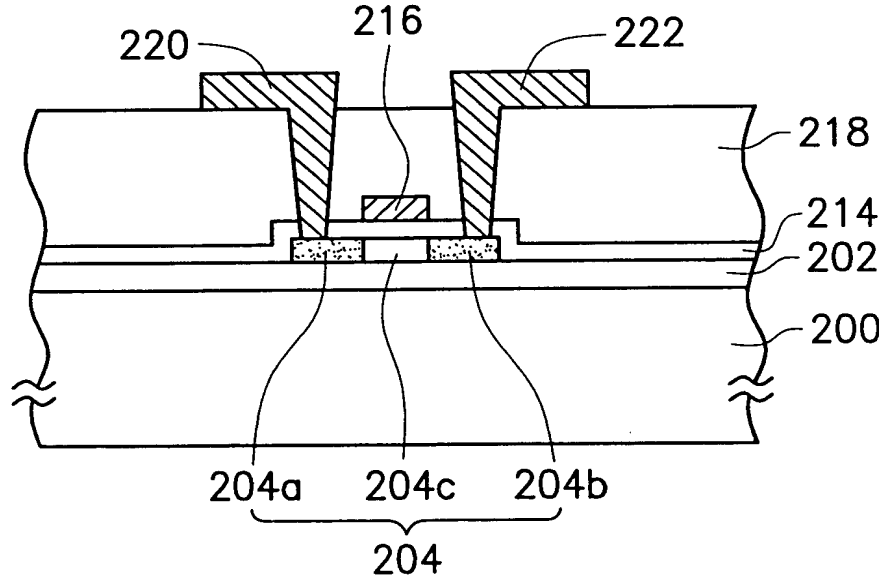
第 2B 圖



第 2C 圖

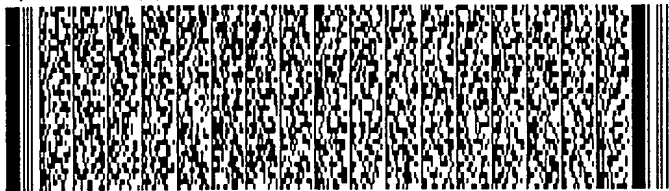


第 2D 圖

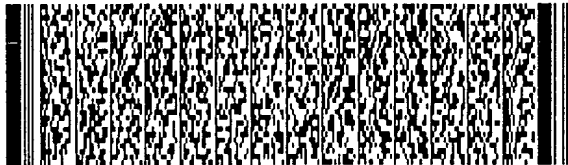


第 3 圖

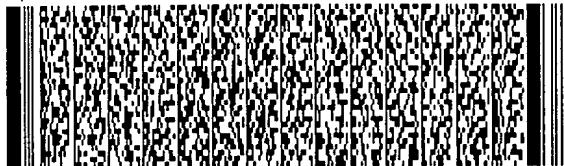
第 1/15 頁



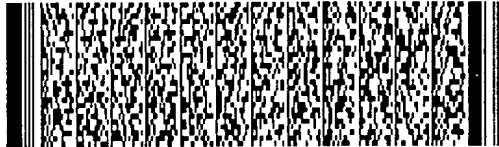
第 2/15 頁



第 2/15 頁



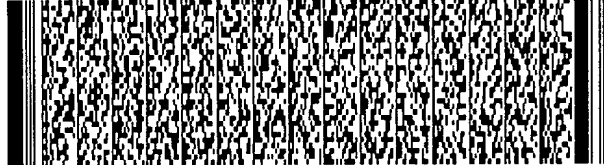
第 3/15 頁



第 4/15 頁



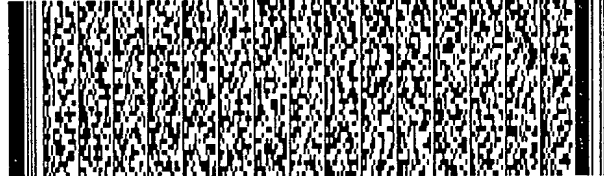
第 5/15 頁



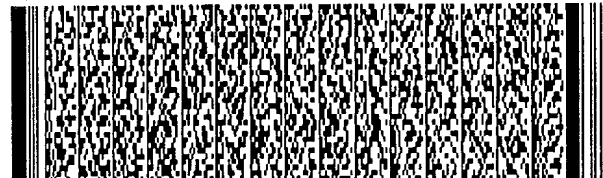
第 5/15 頁



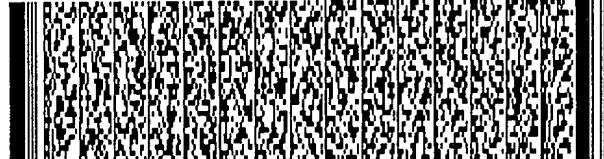
第 6/15 頁



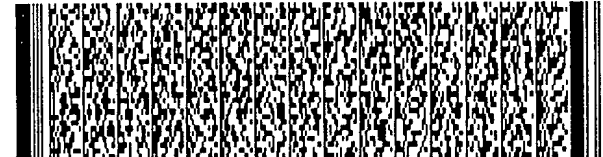
第 6/15 頁



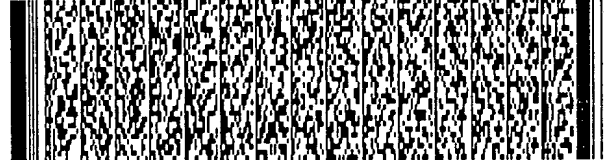
第 7/15 頁



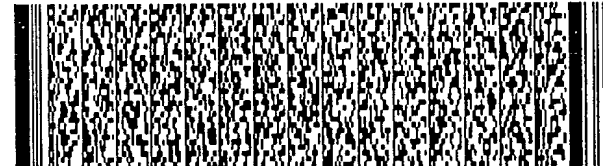
第 7/15 頁



第 8/15 頁



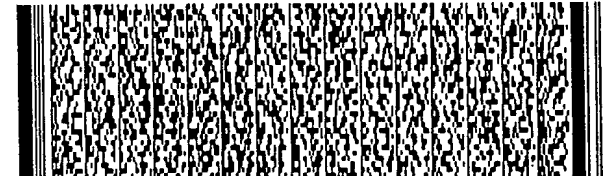
第 8/15 頁



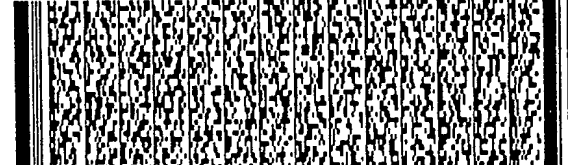
第 9/15 頁



第 9/15 頁



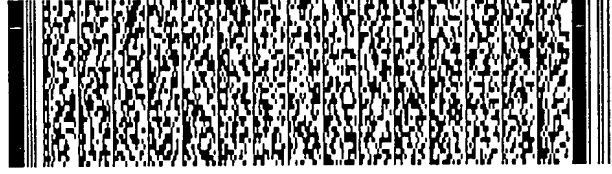
第 10/15 頁



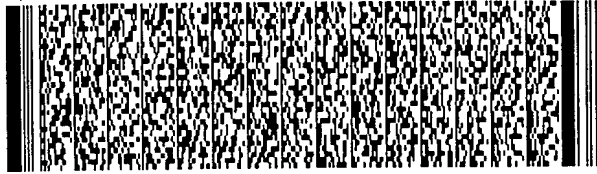
第 10/15 頁



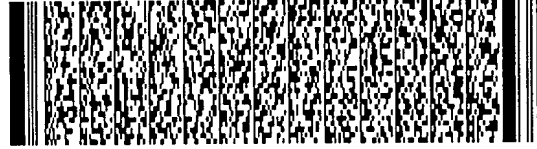
第 11/15 頁



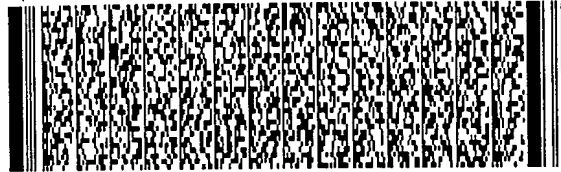
第 11/15 頁



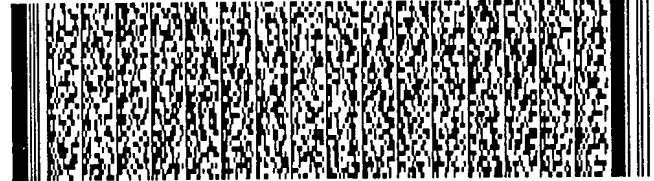
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

